PATENT ABSTRACTS OF JAPAN

(11)Publication number:

04-067500

(43)Date of publication of application: 03.03.1992

(51)Int.CI.

G11C 17/18 H01L 27/10

(21)Application number: 02-179790

(71)Applicant: RICOH CO LTD

(22)Date of filing:

06.07.1990

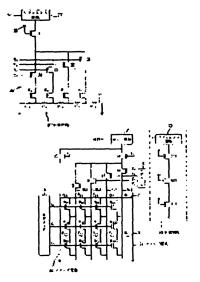
(72)Inventor: FUKUMURA KEIJI

(54) SENSE AMPLIFIER CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide the operation of a sensing circuit with a margin by providing a reference cell and a selecting means in a reference voltage generating part to impress controlled voltage on a sensing part.

CONSTITUTION: A parasitic resistance value for parasitizing on the source side of a memory cell transistor M00 and so on provided in a memory cell array parasitizes the same resistance value as that of the memory cell transistor connected to respective bit lines also on a reference transistor M0 provided in an external circuit 10' and besides, the reference transistor corresponding to a position where the selected memory cell transistor is arranged can be selected by NMOS transistors 31 to 34. A current to flow in the memory cell transistor M00 and so on and the current to flow the reference transistor M0 and so on of the external circuit 10' are same even when either memory cell transistor M00 and so on are selected, and the same memory current can be supplied to a sensing circuit 7 and a reference circuit 20'. Thus, an allowance can be added to the reading operation margin of the sensing circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(1) 有幹出 關公開 個日本国特許庁(Jb)

@公開特許公報(A)

斤内整理番号

政別配号

6公開 平成4年(1992)3月3日

平4-67500

8624-4M 9191-5L 481

G 11 C 17/18 H 01 L 27/10

@Int.C.

B (全8頁) G 11 C 17/00 306 審査器末 未開水 弱水項の数 1

> センスアンプ回路装配 の発明の名称

風 平2-179790 畜

原 平2(1990)7月6日 H O 東京都大田区中馬込1丁目3番6号,林式会社リコー内 東京都大田区中島込1丁目3番6号 11 n 1 凼 **小型士 帮 山** 你式会社」 きょく 쨊 8 8 8 8 3 4 8 3 4

本質単は、単単体記憶装置に無わるセンスアン

センスケンプ回路投票 1、年年近4の位配 (1)アレイ伏に配列されプログラムされたメモリ セルのオン又はオフ状態の法を出しが改動作なく

前回名礼尤属医老印加于各基即属医独生即长指え 行びえるように上記法み出しを行なうセンス印へ たセンスアンブ四路装置において、

上記者専載圧発生都には、上記メモリセルと四 の数件ワベルを抜しアフィ状の行方向における

上記メモリセルの形定数と国一数にて一行に配列 された質数のリン・レンスセルと、色リファレン スセルに誘動のたし記念とのりなみに移出するや

九ぞれの配協協なほど同じ既成伍を有する権略と、 **記りファレンスセルを選択する選択手段と、を信** 父ろ出されたメネリセルと同時位置に対応する 上 したことを特徴とするセンスアンプ回路後載。

/回路投資に関する。

【現来の政治】

.下ROML配す)が来2回に示すように例えば3 NMOSと記す)トランジスタにてなるメモリセ 半導体素子にて諸氏される禁出専門メモリ(以 行く列に配列されたNテャンネルのMOS(以下 がManないしManのアンイにて研究される場合、

何じ行に配付されるもれぞれのメモリセグトラン リスナのゲートは、いずれの行を選択するかを決

Eするスデコーダ5に放発される。例えば行X。

されているメモリセルトランジステのドレインは、 デコーダもに接続されている。一方、四列に配置 **利方向にそれぞれ現在する周一のビットラインに** におけるメモリセルMagないしMagのゲートはX

質能される。例えばメモリセルKas.M.s.Kisの ドレイン似は、ピットライン(図内ではBLと紀 す)|に後続される。各ピットライン| ないしも

には、いずれのピットタインを選択するかを決定 するヤデコーダBにゲートが放映されるNMOS -787-

(観覧上の利用分野)

トランジスタにて高仮されるピットライン部次N 05トランジスタ16のドレインに投稿され、筆 8塁では2つしか示していないが、各アレイ選択 異されたメモリセルがプログラムされている信号 レベルに対応した信奉を送出するセンス回路1に MOSトランシスタ16ないし19のドレインが 家族され、これらのピットサイン語収NMOSト シンジスタ16ないし19のソースは、各メモリ ヒルナレイのいずれを選択するかを決定するため D送気线电がゲートに保給されるアレイ選択NM MNOSトランジスタ14.15のソースは、湖 8款本作名.

トランジスタより飲み出される庭母レベルに対応 した紹介フスタにもり上げカンス回路しから弘光 ランジスタの技出位巻に正確に対応し、かっ信号 レベルの現代が高級に行なわれるように、センス

される出力関号が、上記選択されたメモリセルト

一方、上込したように、現代されたメモリセル

#6th.

コカルアレイの複数列位に一ポゴン及けられ、本 数明では見明上及び図示面幅上より4門間周島に 及りているが、実際には16列や64列等毎に投

訳される。 四、グランド配接21.23は、メモ

特周平4-67500 (2)

される。例えば行又。に思列されるメモリセルが。 又、国に行に皮角されるメモリセルトランジス b Moa なのソースは、メモリセルアレイの行方向 8.917、一篇が集結され処分司に配在するアル ミニウムにてなるグランド配番を1,22に放送 6、最略8ほグランド配算21及び22に並列技 に居在する袋配名,9に寮塔され、これらの製路 ないしMaiのソースはそれぞれ草路8に技能を

3因に示し、センス回路1、外部回路10、9つァ

日、センス回路で及び外勢回路100一角を終

回路7に外節回路10を放送したものがある。

いる。終の図に示すように、センス回路でに重わ

レンス回答20に供着する厄朗を点換にて尽した り上記出力数号送出にかかわる気荷トランジスタ Q!のゲートにはこのゲート電圧を刺物する外部 回路10に向わるりファレンス回路20が後後も れる。又、夢り因において、トランジスクロ7は

> スターもを示し、トランジスタなのはピットタイ R2 数に示す例えばずレイ選択NMOSトランジ ン温沢NMOSトランジステートを示し、メモリ ヒAM1はメモリセルトランジスタM…を示して

レンズ回路20が致けられ、上近したトランジス 一方、外原回路10の指収は、声2回及び声3 国に示すように、センス国路1に対応してリファ

タロ1、QB及びメモリセルM1に対応して、又、 技技伏器も同一として、トラングスクロ11、Q 8 I 及びリファレンスセルM! I がリファレンス

NMOStタングスタ16等と同一のセイズ印句 トランジスター4等と四一のサイズ即ち四一の思 1 位、トケンジステロ 8 等即なピットサイン選択 巡しの現在ワイグを推するものためで、 ジントフ 回路20に被抗される。苺、トラングスタロ76 は、トランジスタロ~毎四ちアレイ選択NMOS 作しべんを有するものであり、トランジスタロ8

したがってこのように依認することで、外側回 気をフスラか性するものわめる。

スナビニ等を流れる気波とが四一となるようにし、 第10に放けられているリファレンスセルM11 4.投れる気波と、感状されたメモリセルトランジ センス回路でに対応するリファレンス回路20色 単名に彼奴かることで、胡吹されたメモリセグト カンジスナM。1年を流れる無資政に対応し取りの ない出力信号をセンス回路でより送出されるよう

メモリセルアレイに取けられるちょモリセルト ンス回路20より電圧Vrを印加するこどができ

に上記食荷トランジスタな1のゲートヘリファレ

カメカシセグトサンジスタ区。1年のドレインから、 ソースが療徒される結路8が、グランド配籍21 イン・グケンド囚の背数和抗やピットラインを横 サンジスタMaa等には、ピットラインに放抗され 及び22に後接されるまでの延戍、町ちどットラ

仮しているアルミニウムの延ばの執行であるいわ 中石配牌低抗於寄生する。 角、第2回では各メモ

ンスセルMIIは、メモリセルMI町ちメモリセ

-798-

|セルトランジスタMaa神に寄生する上記記算紙 汽车群路 8 及5 9 年 8 11、 8 11、 11 11 4 四 に承している。 したがって、風呪されたメモリセルトランジス C、色メモリセルトランジスチWooの存に寄生する 兄弟佐はそれぞれ男なる。例えばメモリセルト CREO ろであるが、メモリセルトランジスタが ランジスタMosの配は低点は、減2因に示すよう アゴニギのメモリセルアレイ内の配列位置によっ ,の配集低优は☆**+R**となる。

Mon等によって配線低低が異なることを避けるた このように選択されたメモリセルトランジスタ ð、従来はメモリセルトランジスタMas等におい て18ピット値、即ちメモリセルアレイにおける 1 6 列毎にグランド配稿21等を投けたり、ある いほどットタインが及ぐなる場合にはメモリセル #2回ではグランド配袋をし、22は図示菌塔の 「レイを分割するという単符を疑っていた。感。 ためもどット毎に図示している。

このようにして、メモリセルトランジスタMの

アランド配稿21回に挟まれた行方向の中間位置 に存在するメモリセルトランジスタにおける転数 6位単は約408オームとなるのに対し、グラン ド記録21等に路接するメモリセルトランジスタ グランド配偶21等をメモリセルトランジスタの リセルトランジスタにおける拡散低抗菌は約18 32キームであり、上記房賃するメモリセルトラ 約1829オームとなる。頃、このオン版技術は、 8 4 列発に及けた場合では、上記中間位置のメモ モリセルトランジスタのオン低抗値は、例えばゲ - ト気圧が5.5 ポルト、ドレイン包圧1.5ポル ト、ドレイン民政の200イクロアンベアのとは、 こおける医数低抗凝は物98オームとなる。又、 ンジスクのそれは杓101オームとなる。又、メ ステコーグ5より行方向に延在するゲート配集の 犬きさ、ゲート既等等によってばらつま、虹面食 圧、異関温度によっても変動する。

よってメモリセルトランジスタの16個関係年 にグランド配偶えて存を駆けだ場合において広敷 A.なにより D.N.私食の以少する如合は、(オンボ

ら見たメモリセルトランジスタM。1本のキン紅氏 哲とリンナレンス回路20から見たリファレンス セルM11のオン低抗菌との間に大きな恐が生じ **存に存生する配線低抗菌モメモリセルトランジス** ナビュギのオン状態における低抗(以下オン低抗 5.記す)質に比べ十分に下げて、センス回路7か ないようにし、センス国路1に设けられた負債ト ランジスタローのゲートヘリントセンス回路20 より適切な気圧Vrが印知されるようにしている。 猪鼠平4-67500(3) |発明が解決しようとする機関]

ところが乾米の外部回路10では、リンテレン られていないので、メモリセルアレイにおける配 tセルMIIにはROMを損収するメモリセルト ランジスタ Moa 等に寄生する上記配算低弦が付加 1.低抗能を下げる工夫を担しても、双方の臭掛け Lのオン抵抗値の差は必ず存在する。

具体的には、ROMが第2図に示すような傷成 からなり、但しグランド配換21等をメモリセル トランジスタの16列毎に投げた場合では、N・ 仏教シート低的値が退信30ォーム程度あるため

回毎にグランド配摘21等を取けた場合は、0. なるとセンス回路では敷作しないが、上記のよう にメモリセルトランジスタの 6 4 留板にグランド 2. 第2 1 再全投けた場合は、上記割合が本来1 で **ひ. B l 8 となりご そりせんトランクスタの64** 5.28となる。上記減少する割合が0.5以下に の幅がメモリセルトランジスタM**等の16部分 R故とは、メモリセルトランジスタは oo 年がオン 花質)/(オン低灰質+医数低灰質)にて計算され、 / F配道21省を設けた場合におけるメモリセル すン気質の減少分は18%にも溢する。 点、オン もるべきものがの.528に減少しておりセンス 回路10略作における会球(以下感作レージンと いろ)はほとんどない。又、グランド配称21等 の塩煮を送す容量を有するようなものであり、メ tりセルトランジスナMon等の!6個おきにグラ アレイ奴杖の近長が拾6%挙加し、又このときの 伏憩にあるときに低トランジスタを流れる電散を

以上のように、メモリセルトラングスタM**等

からの彼み出しを従来のリファレンス回路 2 0を 使用し行なうれのMにおいては、メモリセルアレ **イ内の配線圧抗によるオン電流の減少に対して決** -方、配原質味が大きくならないように考慮する 必要があった。これらの2点は、予留する斑水で あり双方を完全に済足させることはできないとい る出し動作マージンに倉塔があるように考慮し、 5四番点があった。

本類原はこのような問題点を解決するためにな されたもので、センス回路の見る出し動作ャージ **ンに会俗があり、配集原筑が大きくならないセン** スアンプ回路数置を提供することを目的とする。 [珠鷹を解決するための手段]

本発質は、アレイ状に配列されプログラムされ 動作なく行なえるように上記録み出しを行なうせ ンス語へ製物された電圧を印加する基準電圧発生 ケメモリセルのオン又はオフ状態の及る出しが苛 単を値えたセンスアンプ回路校開において、

上記器単氧圧発性母には、上記メモリセルと図 - の数ない人々を作しアレイ状の行が向における

人かできる。したがって、高年は圧光生的にリファ **研究されたメモリセルを流れる経済と選択された** レンスセルと選択手致とを置えたことは、センス セルと同角に位置するリファレンスセルを選択で ま、さらに寄生する低気値が同一となることより リンァフンスながや近れる基徴にか一致がおおい 回路の挟み出し動作ャージンをいずれのメモリセ かが退択されてもほぽー定とすることができセン

本程剪のセンスアンプ回路狭隘の一変削弱を示 きくならないように作用している。 [大花列]

ス国路の動作に会俗を降たせ、又、配線似策が大

5外部回路10,のみを示したものであり、リファ が数けられるメモリセルアレイ側の装置制成は影 **才第1数は、第2数に示す外原回路)0 に抽当す** 回路での人力単に彼祭される。尚、センス回路で アンス回路20.の出力強が第2回に示すセンス 2回に示すものと四一である。

外部回路10.は:第2因に示すメモリセルア レイが例えば行X,のみである場合におけるメモ

九ぞ九の配牌版抗貨之間に低坑道を有する印筒と、 上記メモリセルの新定数と同一数にて一行に配列 スセルに後後され上記名メモリセルに否生するモ 供み出されたメモリセルと同列位置に対応する上 なれた複数のリントレンスセルと、色リファアン 記りファレンスセルを選択する選択手段と、を載 時間平 4-G7500 (4) えたことを特徴とする。

ROMのメモリセルアレイに配列される各トタ. ンジスタのドレインとグランド配降間には、上記

[F.A]

こ一行のリファンンスゼルを放え、これらのリファ 決まれた行方向におけるメモリセル数と同一故に レンスセルのそれぞれに上記記録低位の値と同じ 低度質が寄生するような関係を改築し、さらに試 レンスセルを選択できるように選択手段を借えた トランリスチの配列位置に応じてそれぞれ異なる 近の兄弟氏抗が寄生する。 よって器単粒圧発失節 こちメモリセルアレイにおいてグランド記集囚に 兄されたメモリセルと国列に位置する上記リファ ことは、メモリセルアンイ内の込択されたメモリ

グランド国には耐暴和抗化',が発生し、リファレ なる。均ち、第1四に、ナメモリセルアレイの行 Miog・しん・・のそれぞれのソース~グランド版 の配集原施をこれいしたこに低位後が一致する配 シカラアフル変を回転表表も近一の回路を投ぶた X.に及びられたいるメモリセルトランジスタM。 禁妊炎兄、ないしR、がそれぞれ寄生することと なる。何、美!因にはその状態を帯臼的に関示し ンストランジスタM。のソースとリファレンスト 35に依依されるNMOSトサンジスタにてなる ーンにて健成され禁障のと同一の低気を指しその 同語が原稿される製路8. にそれぞれ接続される。 ている。即ち、リファレンストラングスタMiと ないし凶。こに相当してこれらのメモリセルト9 ソジスタと回じ発行でパグル言い、ゲートが発音 リファレンストランジスタM。ないしMaが行方向 に投げられている。これらのトランジスタM.な よって上記リファレンストランジステがらないし いしM。のソースは、無路8に相当する写体パケ M.K.は、第2回にボナメモリセルトランジスタ

特閒平4-67500(6)

には尼角低点R,が寄生し、リファレンストタン タンジスタM.とのソース間には配着低点R'。が 群生し、リファレンストランジスまは,とリファ シンストランジスタM。との間には低級低低R.。 スとリファレンストランジスタMaとのソース伽 ノスタMaとグランドとの間には民事低低R.sd が奇生し、リファレンストタンジスナM,のソー なしている。

阿GF及けているのは、上近したようにリファレ t が M,ない L M,の それぞれのオン低質値を付慮 tず、リファレンストランジスタM.ないしM.モ ンストランジスタMaないしMaのオン低坑値は潰 年、他称8.の麻沢症にコントアンストシング 実成化等の語点件にて変動するためである。

#2四に歩すビットライン単代NMOSトランジ スチIBに対応し位トラングスチIBと同じ動作 しんとや女士の NMOSトツソシスタ SIOソー 3 1のゲートには、ピットライン副校NMOSト Kに放射される。又、上記NMOSドランジスタ リファレンストランジスチMaのドレインは、

5トラングスタ 8 0の ドレインはリファレンス回 **820°に接続される。**

このように供成される外部回路10.の動作を ひ下に処明する。 例えばメモリセルアレイ内のメモリセントラン リスナMonもほろ出す場合、メモリセルトランジ スクMonthist特にオン状盤となるようにプログ **ラムされているとすればメモリゼルトランジスタ** Mooのソース倒にはグランドとの間に寄生低域 B ▶ M.. 七周和する場合、ソデコーダ 6 が送出する サア,ないしと,はの一(し)レベルであり、これら れるNMOSトランジスタ31のみがオン状態と | が寄生する。 尚、R!は(R.s+R.s+R.s.+ R. .. 1//R. .. となる。又、メモリセルトランジス 政权証も X - はハイ(H)レベル、中の他の深坎証 の減労信号と,ないして,は外部回路10.にも必 出るれていることより、外部回路10°に投けら

ランジスターものゲートへとデコーダもより込む される過剰医导火,が供給される。回貨に、リファ フンストゥンジスタズ のドフインは、ぎ2因に 示すビットライン選択NMOSトランジスター1 に対応し仗トタンジスター 7 と回じ動作レベルを fitるNMOSトランジスタヨ2のソースに接続 きれる。又、上記NMOSトランジスタ32のゲ - ト には、ピットライン選択NMOSトランジス タしてのゲートへヤチコーダ6より遊出される遠 トランジスタM,及びM,のドレチンは、それぞれ B沢信号とい、Yaがゲートに供給され、ピットラ 「ン選択NMOSトランジスタ18及び19と両 K信号Y,が収拾される。回数に、リントリンス -の動作レベルを有するNMOSトランジスタ3 3 及び3 4 のソースに接任される。

CASONMOS 1920A53140634 ロドフナンは、 終8回行 ボーガメホシ カグドフイ BKN NOSトケンジスター4と図一の包合し入 レを育し、ゲートが電磁35に接換されるNMO Sトランジスタ30のソースに放送され、NMO .)//R',となる。上遊したようにR',ないしR', は、R・パないしR・1と同一であろので、寄生低抗 R 1 の低とR 2 の何とは等しくなる。 尚、以上の狡猾はメモリセルトランジスタMa けられる他のメモリセルトタンジステを放択した 集合は勿偽、他の行が,やX,に投けられるメモリ セルトランジスタを選択した場合でも同僚に寄生 **岳氏低は周一となる。又、上記の説明では、第2** 図に示すようにグランド配偶21、22の似には 党明上1個のメモリセルトランジスタM**等が設 も違反した場合について送明したが、行Xoに投 におけるグランド記載団の一行に設けられている 「モリセルトランジスチの数に等しく放けられる。 ナラれているため、外部回路10°においても4 **雪のリファレンストランジスタM。ないしM。4数** このようにメモリセルアレイに設けられるメモ リセルトランジスタM。毎のソース側に寄生する ナたもので、外部回路10°に投けられるリファ ノンストランジスグM。年は、メモリセルアレイ

生する低貨貨と同一低貨貨が客生させており、又. ラインに技能されるメモリセルトランジスタに客 **間取されたメモリセルトランジスタが配列されて** いる位置に旧当するリファレンストランジスタを ることができることより、メモリセルトランジス れのメモリセルトランジスタMm等が高択された 場合においても関一となる。よって、センス回路 資を取給することができる。したがって、センス 回路1の出力信号は、いずれのメモリセルトラン キリセルトランジスクMoa ほがプログラムされた XMOSトタンジスタ31ないし34にて選択す 1及びリファレンス回路20.に四一のメモリ年 ソスケが高択された場合においても恐択されたメ ノベルの簡単となり、女房した味る出しを実行す ラインによって異なるが、外原回路10°に改け たリファレンストランジスタMo等にも各ピット タMoa等を流れる程式と外廓回路! 0.のリファ レンストランジスナM。事を流れる鬼流とはいず 5ことができる。

又、このように選択されるメモリセルトランジ

ストランジスタM。ないしM。のソースをそれぞれ 阿固に旧当する近抗菌を有する配稿を介して核地 [海田の拉展] しても及い。

以上鮮活したように本発明によれば、センス部 **製択されたメモリセルを流れる電流と選択された** リファレンスセルを流れる起流とを--致させるこ とができ、センス回路の牧み出し助作における命 ぼをいずれのメモリセルが退択されてもほぼー 定とすることができせンス国路の動作に免俗を持 たせることができる。又、センス回路の動作に会 節を降たせることができることより、メモリセル へ気御された電圧を印加する馬塔電圧発生部にり アンイにおいてグランド応募を投ける閻塔を大き ファレンスセルと選択手段とも聞えたことより、

くとろことができ、配集団塔を館か化することが

第1四は本党明のセンスアンプ回路装置に使用 される外町国路の一実施风を示す回路図、第2図 (、図画の数単な数類

特閣平4-67500(8)

÷

スチMの存用位置に残わらず安定した味み出 6 4 対毎、あるいはそれ以上とすることができる。 トッて、メモリセルアレイ国域を従来の位原域と しが行なえることより、メモリセルトランジスタ Maskの気が向に吹けるグランド収集の回路は、 従来のように別えば! 6 内値とする必要はなく、 りもかもくすることができる。

するようにしているが、これに取るものではなく、 荷、上法した奴勢では、メモリセルアレイ倒に 数けられるピットライン語祭NMOSトチンジス 716ないし19へ送出される過収信号が,ない LA*6、外形回路 IO・側に扱けられるNMOS トランジスタ31ないし34へ砂街される湖坎信 BY.ないしY.b、周一のソデコーダ8より飛生 メモリセルアンイ質、外部回路図のそれぞれだY アコーグを致け、これらのデコーグ位で阿茲して 最次数争を溢出するように異成しても良い。

又、上述した故事では、リファレンストウング るように禁収したが、これに取らずなりファレン スタMaないしMaのソースは、協路も"に核能す

回路の構成を示す回路面、第3回はセンス回路及 はメモンセルアンイ図の回路形成及び近米の大郎 びリファレンス回路の一帯成例を示す回路囚であ

7…センス回路、10′…片島回路.

各作出版人 杂 氏 会 社 リ 代 理 人 弁理士 青山縣

M.ないしが,--リファレンストランジスタ

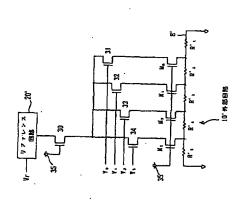
3 | GULS4 ... NMOS 1 5 2 UZ\$.

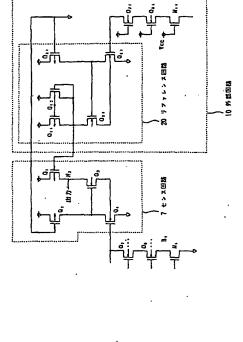
20.…リファレンス回路、

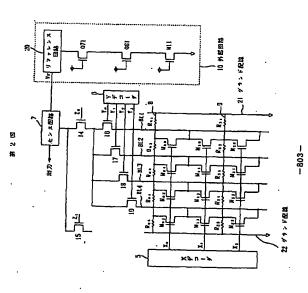
- 入町の存生抵抗吊2は(R゚。+ R゚。+ R゚。+ R゚

なりリファレンストランジスナM,のろが遊散さ れる。よってリファレンストランジスタM.のソ 寄生低抗値は、上述したように選択されるピット

<u>m</u> 8







-804